

Laboratorium Podstaw Techniki Mikroprocesorowej

Instytut Mikroelektroniki i Optoelektroniki
Politechniki Warszawskiej



Opis mikrokontrolera 8051

Lista rozkazowa

Timery

(Wersja robocza, niekompletna)

Oznaczenia i skróty:

A	-	akumulator
C	-	wskaźnik przeniesienia
DPTR	-	wskaźnik danych, rejestr 16-bitowy
Rn	-	rejestr R0-R7 z aktywnego banku rejestrów
direct	-	8-bitowy adres lokacji w wewnętrznej pamięci danych (adresowanie bezpośrednie)
@Ri	-	8-bitowa lokacja w wewnętrznej pamięci danych dostępna pośrednio poprzez zawartość rejestru R1 lub R0 (adresowanie rejestrowe pośrednie)
#n	-	stała 8-bitowa (adresowanie natychmiastowe)
#nn	-	stała 16-bitowa (adresowanie natychmiastowe)
bit	-	adres bitu dostępnego bezpośrednio (z obszaru 20H-2FH wewnętrznej pamięci danych lub z niektórych rejestrów specjalnych)
/bit	-	negacja zawartości bitu o adresie "bit"
rel	-	przesunięcie 8-bitowe o wartościach zawartych w przedziale <-128, 127>
etykieta	-	adres 11-bitowy lub 16-bitowy

1. Tryby adresowania wewnętrznej pamięci danych:

a) Adresowanie bezpośrednie (możliwe dla całego obszaru wewnętrznej pamięci danych), np. instrukcja:

$$\text{mov } A, 32H \quad \Rightarrow \quad (A) \leftarrow (32H)$$

oznacza, że do akumulatora wpisywana jest zawartość komórki pamięci o adresie 32H.

UWAGA! Jeżeli trzeba zastosować adresowanie bezpośrednie w stosunku do akumulatora, to wówczas trzeba używać symbolu **ACC**, np. instrukcje **push ACC** i **pop ACC**.

b) Adresowanie natychmiastowe, np. instrukcja:

$$\text{mov } A, \#32H \quad \Rightarrow \quad (A) \leftarrow 32H$$

oznacza, że do akumulatora wpisywana jest wartość 32H.

c) Adresowanie rejestrowe; dotyczy tylko akumulatora, rejestru DPTR oraz rejestrów R0-R7 z wybranego banku rejestrów, np. instrukcja:

$$\text{mov } A, R0 \quad \Rightarrow \quad (A) \leftarrow (R0)$$

oznacza, że do akumulatora jest podstawiana zawartość rejestru R0 – oba operandy, A i R0, są w tej instrukcji adresowane rejestrowo.

UWAGA! Tę samą operację realizuje również instrukcja

$$\text{mov } ACC, R0 \quad \Rightarrow \quad (A) \leftarrow (R0),$$

ale w tym przypadku akumulator adresowany jest bezpośrednio.

d) Adresowanie rejestrowe pośrednie (dla obszaru 00H - 7FH wewnętrznej pamięci danych), np. instrukcja

$$\text{mov } A, @R0 \quad \Rightarrow \quad (A) \leftarrow ((R0))$$

oznacza, że do akumulatora wpisywana jest zawartość komórki pamięci, której adres znajduje się w rejestrze R0.

e) Adresowanie bezpośrednie bitów (dla obszaru 20H - 2FH wewnętrznej pamięci danych oraz adresowanych bitowo rejestrów specjalnych), np. instrukcja:

`mov C, ACC.7` \Rightarrow $(C) \leftarrow (ACC.7)$

oznacza, że do wskaźnika przeniesienia C (PSW.7) wpisywana jest wartość najstarszego bitu akumulatora.

Inne przykłady adresowania bezpośredniego bitów:

`mov TCON.5, C`
`jb 21H.3, skacz`
`jnb P1.0, pętla`

2. Lista rozkazowa

2.1. Operacje arytmetyczne

W przypadku **dwuargumentowych** operacji arytmetycznych jednym z argumentów jest **zawsze** akumulator. Wynik operacji jest również **zawsze** umieszczany w akumulatorze.

Instrukcja	Długość (bajty)	Czas (cykle)	Opis
ADD A, Rn	1	1	Dodawanie bez przeniesienia
ADD A, direct	2	1	
ADD A, @Ri	1	1	
ADD A, #n	2	1	
ADDC A, Rn	1	1	Dodawanie z przeniesieniem
ADDC A, direct	2	1	
ADDC A, @Ri	1	1	
ADDC A, #n	2	1	
SUBB A, Rn	1	1	Odejmowanie (zawsze z pożyczką)
SUBB A, direct	2	1	
SUBB A, @Ri	1	1	
SUBB A, #n	2	1	
INC A	1	1	Inkrementacja (zwiększanie o 1)
INC Rn	1	1	
INC direct	2	1	
INC @Ri	1	1	
INC DPTR	1	2	
DEC A	1	1	Dekrementacja (zmniejszanie o 1)
DEC Rn	1	1	
DEC direct	2	1	
DEC @Ri	1	1	
MUL AB	1	4	Mnożenie A·B (młodszy bajt wyniku zapisywany jest do A, starszy do rejestru B)
DIV AB	1	4	Dzielenie całkowite A/B (wynik dzielenia zapisywany jest do A, reszta dzielenia do rejestru B)
DA A	1	1	Korekcja dziesiętna A (dla kodu BCD)

2.2. Operacje logiczne

Instrukcja	Długość (bajty)	Czas (cykle)	Opis
ANL A, Rn	1	1	Iloczyn logiczny (wynik w pierwszym argumencie)
ANL A, direct	2	1	
ANL A, @Ri	1	1	
ANL A, #n	2	1	
ANL direct, A	2	1	
ANL direct, #n	3	2	

ORL A, Rn	1	1	suma logiczna (wynik w pierwszym argumencie)
ORL A, direct	2	1	
ORL A, @Ri	1	1	
ORL A, #n	2	1	
ORL direct, A	2	1	
ORL direct, #n	3	2	
XRL A, Rn	1	1	suma rozłączna - exclusive-or (wynik w pierwszym argumencie)
XRL A, direct	2	1	
XRL A, @Ri	1	1	
XRL A, #n	2	1	
XRL direct, A	2	1	
XRL direct, #n	3	2	
CLR A	1	1	zerowanie akumulatora
CPL A	1	1	negacja poszczególnych bitów akumulatora (negacja logiczna akumulatora)
RL A	1	1	rotacja w lewo
RLC A	1	1	rotacja w lewo poprzez bit przeniesienia
RR A	1	1	rotacja akumulatora w prawo
RRC A	1	1	rotacja akumulatora w prawo poprzez bit przeniesienia
SWAP A	1	1	zamiana miejscami połówek akumulatora

2.3. Przesłania danych

Instrukcja	Długość (bajty)	Czas (cykle)	Opis
MOV A, Rn	1	1	przesłanie w obrębie wewnętrznej pamięci danych (pierwszy argument jest celem, drugi źródłem mov cel, źródło)
MOV A, direct	2	1	
MOV A, @Ri	1	1	
MOV A, #n	2	1	
MOV Rn, A	1	1	
MOV Rn, direct	2	2	
MOV Rn, #n	2	1	
MOV direct, A	2	1	
MOV direct, Rn	2	2	
MOV direct, direct	3	2	
MOV direct, @Ri	2	2	
MOV direct, #n	3	2	
MOV @Ri, A	1	1	
MOV @Ri, direct	2	2	
MOV @Ri, #n	2	1	
MOV DPTR, #nn	3	2	
MOVC A, @A+DPTR	1	2	przesłania pomiędzy pamięcią programu i akumulatorem
MOVC A, @A+PC	1	2	
MOVX A, @DPTR	1	2	przesłania z /do zewnętrznej pamięci danych
MOVX A, @Ri	1	2	
MOVX @DPTR, A	1	2	
MOVX @Ri, A	1	2	

PUSH direct	2	2	położenie na stos
POP direct	2	2	zjęcie ze stosu
XCH A,Rn	1	1	wymiana zawartości między rejestrami
XCH A,direct	2	1	
XCH A,@Ri	1	1	
XCHDA, @Ri	1	1	wymiana młodszej cyfry

2.4. Operacje na bitach

Instrukcja	Długość (bajty)	Czas (cykle)	Opis
CLR C	1	1	zerowanie wskaźnika przeniesienia C
CLR bit	2	1	zerowanie bitu
SETB C	1	1	ustawianie wskaźnika przeniesienia C
SETB bit	2	1	ustawianie bitu
CPL C	1	1	negacja wskaźnika przeniesienia C
CPL bit	2	1	negacja bitu
ANL C,bit	2	2	iloczyn logiczny
ANL C, /bit	2	2	
ORL C,bit	2	2	suma logiczna
ORL C, /bit	2	2	
MOV C, bit	2	1	przesłanie
MOV bit, C	2	2	
JC rel	2	2	skacz, jeżeli C=1
JNC rel	2	2	skacz, jeżeli C=0
JB bit, rel	3	2	skacz, jeżeli bit=1
JNB bit, rel	3	2	skacz, jeżeli bit=0
JBC bit, rel	3	2	skacz, jeżeli bit=1 i wyzeruj bit

2.5. Skoki w programie

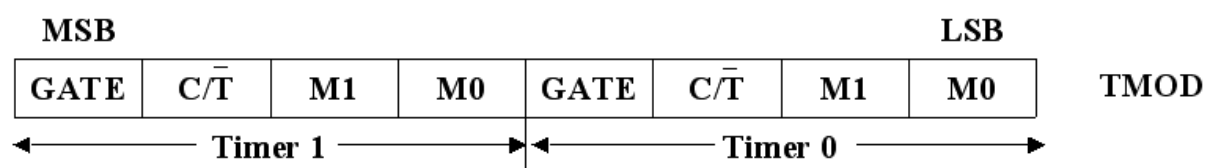
Instrukcja	Długość (bajty)	Czas (cykle)	Opis
*)CALL etykieta	-	-	wywołanie procedury etykieta
RET	1	2	powrót z procedury obsługi przerwania
RETI	1	2	
*) JMP etykieta	-	-	skok bezwarunkowy
JZ rel	2	2	skok warunkowy, jeżeli A=0
JNZ rel	2	2	skok warunkowy, jeżeli A≠0
CJNE A, direct, rel	3	2	porównaj dwa pierwsze argumenty i skocz jeżeli nie są sobie równe
CJNE A, #n, rel	3	2	
CJNE Rn, #n, rel	3	2	
CJNE @Ri, #n, rel	3	2	
DJNZ Rn, rel	2	2	zdekrementuj pierwszy argument i skocz, jeżeli wynik różny od zera
DJNZ direct, rel	3	2	
NOP	1	1	nic nie rób

*) W rzeczywistości istnieje więcej wariantów tej instrukcji. W zależności od sytuacji assembler przetłumaczy formę podaną w tabeli na odpowiedni wariant.

Układy czasowo-licznikowe mikrokontrolera 8051

Mikrokomputer 8051 zawiera dwa 16-bitowe liczniki T0 i T1 spełniające rolę układów czasowo-licznikowych. Mogą one spełniać funkcję licznika zliczającego impulsy zewnętrzne doprowadzone odpowiednio do wejść P3.4 (licznik T0) lub P3.5 (licznik T1). Mogą też pełnić funkcję czasomierza zliczającego wewnętrzne impulsy zegarowe w celu generowania opóźnień i/lub generowania przerw zegarowych o zaprogramowanej częstotliwości. Każdy z tych liczników może pracować w jednym z czterech trybów (modów) pracy.

Do programowania pracy liczników T0 i T1 służą dwa rejestry specjalne (SFR): rejestr trybu pracy TMOD (SFR o adresie 89H) oraz rejestr sterujący TCON (SFR o adresie 88H z możliwością adresowania bitowego). Rejestr TMOD (Rys. 1) służy do ustawiania trybu pracy i funkcji realizowanych przez liczniki.



Rys. 1. Rejestr trybu pracy TMOD

Poszczególne bity rejestru TMOD mają następujące znaczenie:

Bity M 1, M0 służą do ustawienia trybu (modu) pracy:

Tabela 1:

M0	M1	Tryb	Opis
0	0	0	timer 13-bitowy
0	1	1	timer 16-bitowy
1	0	2	timer 8-bitowy z automatycznym przeładowaniem (autoreload)
1	1	3	timer dzielony (split timer) W tym trybie timer TR1 nie jest programowany w TMOD, natomiast licznik T0 działa jak dwa niezależne timery 8-bitowe: TL0 programowany jest bitami Timera 0, natomiast TH0 programowany jest bitami timera T1

C/T - określenie realizowanej funkcji (określenie źródła zegara dla liczników):

C/T = 0 - czasomierz (zegar wewnętrzny),

C/T = 1 - licznik impulsów zewnętrznych (zegar zewnętrzny odpowiednio z lini P3.4 (dla T0) i P3.5 (dla T1)).

GATE - bramkowanie zewnętrznym sygnałem sygnału zegarowego liczników:

GATE = 0 - bramkowanie zewnętrzne nieaktywne

GATE = 1 - działanie liczników możliwe jeżeli odpowiednio:

sygnał P3.2 = 1 (dla licznika T0)

sygnał P3.3 = 1 (dla licznika T1)

MSB				LSB				TCON
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	

Rys. 2. Rejestr sterujący TCON.

Rejestr TCON (Rys.2) służy do kontroli (status) i sterowania pracą liczników T0 i T1. Rejestr TCON może być adresowany bitowo. Poszczególne bity tego rejestru służą do:

TCON.6 (TR1) i TCON.4 (TR0) - sterują zliczaniem liczników T0 i T1;
 $TR_i = 0$ ($i = 0, 1$) powoduje zatrzymanie licznika T_i ,
 $TR_i = 1$ ($i = 0, 1$) powoduje pracę licznika T_i .

TCON.7 (TF1) i TCON.5 (TF0) – to wskaźniki przepełnienia liczników. Ustawiane sprzętowo po przepełnieniu licznika. Kasowane sprzętowo po wejściu w obsługę przerwania licznika.

Pozostałe bity rejestru TCON związane są z pracą systemu przerwań i tak:

TCON.3 (IE1) - wskaźnik zgłoszenia przerwania na wejściu INT1,

TCON.1 (IE0) - wskaźnik zgłoszenia przerwania na wejściu INT0,

TCON.0 (IT0) - sterowanie sposobem zgłoszenia przerwania na wejściu INT0

$IT_0 = 0$ – przerwanie zgłaszane opadającym zboczem sygnału INT0

$IT_0 = 1$ – przerwanie zgłaszane niskim poziomem sygnału INT0

TCON.2 (IT1) - sterowanie sposobem zgłoszenia przerwania na wejściu INT1

$IT_1 = 0$ – przerwanie zgłaszane opadającym zboczem sygnału INT1

$IT_1 = 1$ – przerwanie zgłaszane niskim poziomem sygnału INT1

16-bitowe liczniki układu czasowo-licznikowego dostępne są programowo jako rejestry specjalne (SFR), odpowiednio:

TH0 (SFR o adresie 8CH) - bardziej znaczący bajt licznika T0,

TL0 (SFR o adresie 8AH) - mniej znaczący bajt licznika T0,

TH1 (SFR o adresie 8DH) - bardziej znaczący bajt licznika T1,

TL1 (SFR o adresie 8BH) - mniej znaczący bajt licznika T1.

Jeżeli jest realizowana funkcja czasomierza (tzn. w słowie TMOD odpowiedni bit C/T jest równy 0), to zawartość licznika jest zwiększana o 1 w każdym cyklu maszynowym. Cykl maszynowy trwa 12 taktów zegara. Częstotliwość sygnału zegarowego liczników wynosi zatem $f_c = f_{osc} / 12$, gdzie f_{osc} jest częstotliwością oscylatora mikrokontrolera (typowo f_{osc} jest równe 11,0582 MHz).

System przerwań mikrokontrolera 8051

System przerwań mikrokontrolera 8051 może przyjmować zgłoszenia następujących przerwań:

- zewnętrznych:
 - z wejścia INT0 (IE0 - TCON.1)
 - z wejścia INT1 (IE1 - TCON.3)
- z układów czasowo-licznikowych:
 - przepełnienie licznika T0 (TF0 - TCON.5)
 - przepełnienie licznika T1 (TF1 - TCON.7)
- z portu szeregowego:
 - koniec nadawania znaku (TI - SCON.1) lub koniec odbierania znaku (RI - SCON.0).

Z każdą z przyczyn przerwania jest związany odpowiedni wskaźnik. Wpisanie jedynki do wskaźnika powoduje zgłoszenie przerwania. Wyzerowanie wskaźnika powoduje skasowanie zgłoszenia. Odbywa się to automatycznie - odpowiednio przy wystąpieniu przyczyny przerwania i przy jego przyjęciu (jedynie wskaźniki TI i RI nie są zerowane automatycznie). Wszystkie wymienione wskaźniki mogą być też ustawiane i zerowane programowo.

System przerwań może być włączany i wyłączany globalnie oraz każde ze źródeł przerwania może być indywidualnie maskowane przez ustawienie odpowiedniego bitu w rejestrze sterującym IE (SFR o adresie 0ABH z możliwością adresowania bitowego). Wyzerowanie danego bitu w rejestrze IE oznacza zablokowanie zgłaszania odpowiadającego mu przerwania, wpisanie jedynki - odblokowanie zgłoszenia przerwania odpowiadającego temu bitowi. Po zainicjowaniu mikrokomputera (po RESET-cie) słowo sterujące IE jest wyzerowane, tzn. system przerwań jest wyłączony, a wszystkie źródła przerwań zamaskowane.

MSB				LSB				IE
EA	-	ET2	ES	ET1	EX1	ET0	EX0	

Rys. 3. Rejestr sterujący systemem przerwań IE.

Poszczególne bity rejestru IE mają następujące znaczenie:

Tabela 2:

Bit	Nazwa	Opis
IE.7	EA	Włączenie/Wyłączenie systemu przerwań 0 - system przerwań nieaktywny 1 - system przerwań aktywny
IE.6	-	Zarezerwowane
IE.5	ET2	Włączenie/Wyłączenie przerwania Timera 2 (tylko w 8052)
IE.4	ES	Włączenie/Wyłączenie przerwania Portu Szeregowego
IE.3	ET1	Włączenie/Wyłączenie przerwania Timera 1 (TF1)
IE.2	EX1	Włączenie/Wyłączenie przerwania zewnętrznego 1 (IE1)
IE.1	ET0	Włączenie/Wyłączenie przerwania Timera 0 (TF0)
IE.0	EX0	Włączenie/Wyłączenie przerwania zewnętrznego 0 (IE0)

Każdemu z przerw, może zostać przypisany wyższy (po ustawieniu bitu) lub niższy (po wyzerowaniu bitu) priorytet przez ustawienie lub wyzerowanie właściwego bitu w rejestrze sterującym priorytetem IP (SFR o adresie 0B8H możliwością adresowania bitowego).



Rys. 4. Rejestr priorytetów przerw IP

Poszczególne bity rejestru IP mają następujące znaczenie:

Tabela 3:

Bit	Nazwa	Przerwanie	Opis	Priorytet
IP.7	-	-	Zarezerwowane	
IP.6	-	-	Zarezerwowane	
IP.5	PT2	ET2	Priorytet przerwania Timera 2 (tylko w 8052)	najniższy
IP.4	PS	ES	Priorytet przerwania Portu Szeregowego	
IP.3	PT1	ET1	Priorytet przerwania Timera 1 (TF1)	
IP.2	PX1	EX1	Priorytet przerwania zewnętrznego 1 (IE1)	
IP.1	PT0	ET0	Priorytet przerwania Timera 0 (TF0)	
IP.0	PX0	EX0	Priorytet przerwania zewnętrznego 0 (IE0)	najwyższy

W przypadku jednoczesnego zgłoszenia dwóch przerw, jako pierwsze przyjmowane jest przerwanie mające wyższy priorytet. Natomiast, przy jednoczesnym zgłoszeniu kilku przerw o tym samym priorytecie, o kolejności przyjęcia zadecyduje ustalony priorytet zgłoszeń, przedstawiony w Tabeli 3.

W czasie wykonywania programu obsługi przerwania o niższym priorytecie będzie przyjęte zgłoszenie przerwania o wyższym priorytecie (jeżeli nie jest zablokowane), a nie będzie przyjęte zgłoszenie przerwania o tym samym (tj. niższym) priorytecie. W czasie wykonywania programu obsługi przerwania o wyższym priorytecie będzie przyjęte żadne zgłoszenie przerwania.

Trochę użytecznych informacji o 8051

Rejestry SFR

0F8								0FF
0F0	B							0F7
0E8								0EF
0E0	ACC							0E7
0D8								0DF
0D0	PSW							0D7
0C8	T2CON		RCAP2L	RCAP2H	TL2	TH2		0CF
0C0								0C7
0B8	IP							0BF
0B0	P3							0B7
0A8	IE							0AF
0A0	P2							0A7
098	SCON	SBUF						09F
090	P1							097
088	TCON	TMOD	TL0	TL1	TH0	TH1		08F
080	P0	SP	DPL	DPH			PCON	087

☒ Rejestry adresowalne bitowo/bajtowo

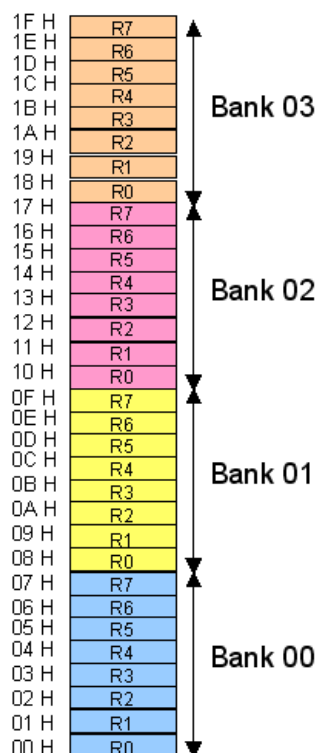
☐ Rejestry adresowalne tylko bajtowo

Pamięć danych – dolne 128 bajtów

30 – 7F	Pamięć RAM ogólnego przeznaczenia							
2F	7F	7E	7D	7C	7B	7A	79	78
2E	77	76	75	74	73	72	71	70
2D	6F	6E	6D	6C	6B	6A	69	68
2C	67	66	65	64	63	62	61	60
2B	5F	5E	5D	5C	5B	5A	59	58
2A	57	56	55	54	53	52	51	50
29	4F	4E	4D	4C	4B	4A	49	48
28	47	46	45	44	43	42	41	40
27	3F	3E	3D	3C	3B	3A	39	38
26	37	36	35	34	33	32	31	30
25	2F	2E	2D	2C	2B	2A	29	28
24	27	26	25	24	23	22	21	20
23	1F	1E	1D	1C	1B	1A	19	18
22	17	16	15	14	13	12	11	10
21	0F	0E	0D	0C	0B	0A	09	08
20	07	06	05	04	03	02	01	00
18 – 1F	Bank 3 Rejestrów							
10 – 17	Bank 2 Rejestrów							
08 – 0F	Bank 1 Rejestrów							
00 – 07	Bank 0 Rejestrów							

Obszar adresowalny
bitowo

Banki rejestrów R



Rejestr PSW

(MSB)

(LSB)

CY	AC	F0	RS1	RS2	OV	-	P
----	----	----	-----	-----	----	---	---

Symbol	Polozenie	Funkcja
CY	PSW.7	Wskaźnik przeniesienia
AC	PSW.6	Wskaźnik przeniesienia dodatkowego. Dla operacji BCD
F0	PSW.5	Flaga 0. Ogólnego przeznaczenia
RS1	PSW.4	Bity selekcji banku rejestrów. Ustawiane programowo dla określenia aktywnego banku
RS2	PSW.3	
OV	PSW.2	Wskaźnik nadmiaru
-	PSW.1	Nie wykorzystywane
P	PSW.0	Wskaźnik parzystości.