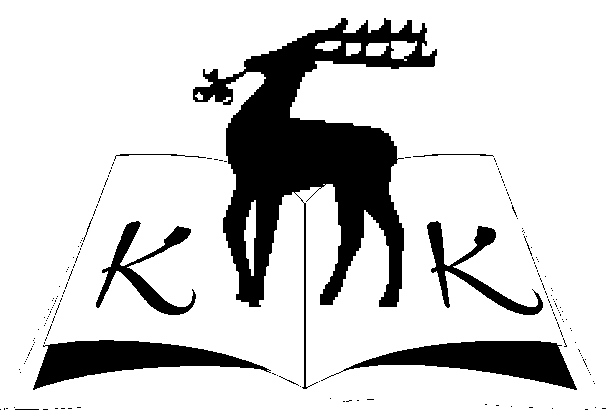
**KOLEGIUM KARKONOSKIE W JELENIEJ GÓRZE**

**PAŃSTWOWA WYŻSZA SZKOŁA ZAWODOWA**

#### WYDZIAŁ TECHNICZNY

******

**PROJEKT**

**Z**

**UKŁADÓW ELEKTRONICZNYCH**

##### Część II

Numer projektu: **46**

**Projekt wykonał:**

Jelenia Góra 2008

**Spis treści:**

[1. TEMAT PROJEKTU 3](#_Toc199765311)

[1.1. Schemat ideowy układu 3](#_Toc199765312)

[2. ZASADNICZA CZĘŚĆ PROJEKTU. 4](#_Toc199765313)

[2.1. Schemat macierzowy wzmacniacza. 4](#_Toc199765314)

[2.2. Obliczenia parametrów Ku , Kusk , Ki , Kpcz , Rwe , Rwy. 5](#_Toc199765315)

[**2.2.1. Macierz elementów biernych.** 5](#_Toc199765316)

[**2.2.2. Macierze tranzystorów.** 5](#_Toc199765317)

[**2.2.3. Obliczenie macierzy układu.** 5](#_Toc199765318)

[**2.2.4. Wyznaczenie parametrów.** 6](#_Toc199765319)

[2.3. Obliczenie pojemności kondensatorów C1, C3 i C2. 7](#_Toc199765320)

[2.4. Zestawienie wyników. 7](#_Toc199765321)

[3. Literatura: 8](#_Toc199765322)

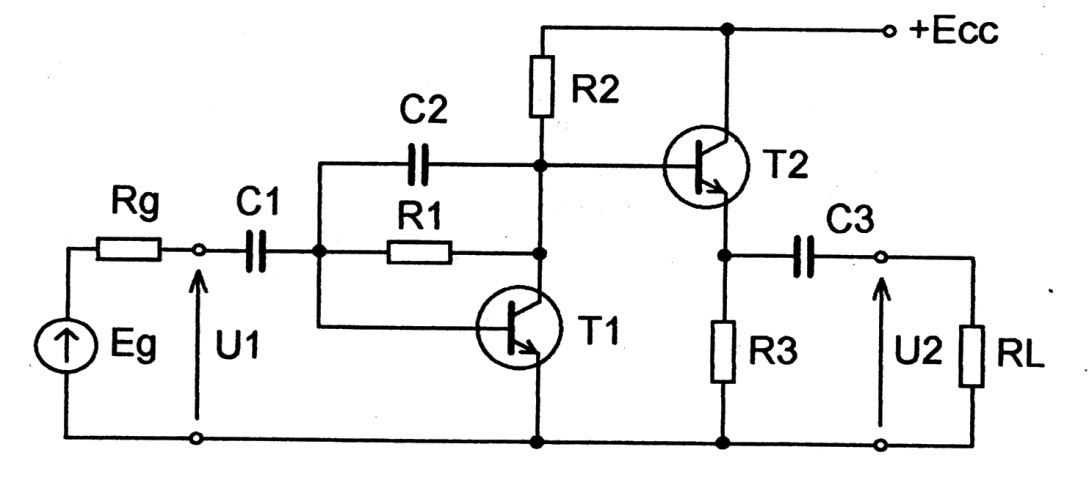
**1. TEMAT PROJEKTU**

a) Obliczyć wartości parametrów Ku, Kusk, Kpcz, Ki, Rwe , Rwy wzmacniacza zaprojektowanego w ramach projektu I dla średnich częstotliwości. Do analizy zmiennoprądowej (AC) założyć, że przy częstotliwościach sygnału kondensatory C1 i C3 oraz bateria zasilająca mogą być uważane za zwarcie, a pojemności wewnętrzne tranzystorów i kondensator C2 – za rozwarcie. Parametry modeli tranzystorów wyznaczyć z wzorów: , , , .

b) Obliczyć pojemności kondensatorów C1 i C3 tak , aby uzyskać dolną trzydecybelową częstotliwość graniczną skutecznego wzmocnienia napięciowego fd,zadaną w temacie zadania projektowego (w tabeli z numerem tematu). Biegun związany z kondensatorem C1 powinien być dominujący.

c) Obliczyć pojemność kondensatora C2 tak, aby uzyskać zadaną w temacie projektu (tabela z numerem tematu) wartość górnej, trzydecybelowej częstotliwości granicznej wzmacniacza fg. Założyć, że górne częstotliwości graniczne obu stopni przekraczają znacznie zadaną wartość fg, a pojemności wewnętrzne modeli tranzystorów można pominąć.

**1.1. Schemat ideowy układu**

****

Rysunek Schemat ideowy wzmacniacza

Tabela 1. Zestawienie wyników z pierwszej części projektu

|  |  |  |
| --- | --- | --- |
| Element | Wartość | |
| ECC | 12 | [V] |
| R1 | 820(Zalecana) ± 5% | [kΩ] |
| R2 | 4,3 ± 5% | [kΩ] |
| R3 | 1,2 ± 5% | [kΩ] |

|  |  |  |  |
| --- | --- | --- | --- |
| **Dane:**  IC(T1) = 1,2 mA  IC(T2) = 5 mA  RG= 500 Ω  RL = 2 kΩ  fd = 40 Hz  fg = 25 kHz  UWY = 2,0V | **Parametry tranzystora T1:** | **Parametry tranzystora T2:** | G1 = 1,22 μS  G2 = 232 μS  G3 = 833 μS  YG = 2000 μS  YL = 500 μS |

**2. ZASADNICZA CZĘŚĆ PROJEKTU.**

**2.1. Schemat macierzowy wzmacniacza**.

G1

G2

G3

T1

T2

B

B

E

E

C

C

Rysunek 2. Schemat zastępczy wzmacniacza z ponumerowanymi węzłami

**2.2. Obliczenia parametrów Ku , Kusk , Ki , Kpcz , Rwe , Rwy.**

**2.2.1. Macierz elementów biernych.**

 W1.

**2.2.2. Macierze tranzystorów.**

Macierz tranzystora T’

 W2.

Macierz tranzystora T’’

 W3.

**2.2.3. Obliczenie macierzy układu.**

 W4.

 W5.

**Redukcja węzła „2”:**



**Macierz po zredukowaniu „2” węzła:**



**2.2.4. Wyznaczenie parametrów.**



**2.3. Obliczenie pojemności kondensatorów C1, C3 i C2.**

W zakresie małych częstotliwości przebieg charakterystyki wzmacniacza zależy od kondensatorów C1 i C3.

Częstotliwość *f*d = 40 Hz jest równa  W6.



**Kondensator C1:**

 W7.



Z szeregu E24 przyjmuje **C1 = 1,5µF**



**Kondensator C3:**

 W8



Z szeregu E24 przyjmuje **C3 = 20µF**





**Kondensator C2:**

 W9

 W10

 W11



Z szeregu E24 przyjmuje **C2=82pF**

Sprawdzenie fg  W11

****

**2.4. Zestawienie wyników.**

|  |  |  |
| --- | --- | --- |
|  | Wartość liczbowa parametru | |
| KU | -182 | [V/V] |
| KUsk | -149 | [V/V] |
| KI | 205,4 | [A/A] |
| KIsk | 37 | [A/A] |
| KP | 37386 | [W/W] |
| Rwe | 2257 | [Ω] |
| Rwy | 23,2 | [Ω] |

|  |  |  |
| --- | --- | --- |
| Element | Wartość | |
| ECC | 12 | [V] |
| R1 | 820 ± 5% | [kΩ] |
| R2 | 4,3 ± 5% | [kΩ] |
| R3 | 1,2 ± 5% | [kΩ] |
| C1 | 1,3 ± 5% | [μF] |
| C2 | 82 ± 5% | [pF] |
| C3 | 20 ± 5% | [μF] |

**3. Literatura:**

dr inż. Józef Stanclik – *Układy Elektroniczne I – projekt .*