|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***KOLEGIUM KARKONOSKIE***  ***INSTYTUT TECHNIKI*** | | | | |
| **LABORATORIUM TECHNIKI CYFROWEJ** | | | | |
| *Numer grupy: 8/3* | *Numer ćwiczenia: 10* | | *Prowadzący: mgr. Aleksander Dziuda* | |
| *Skład podgrupy:* | *Temat ćwiczenia:* T10. *Projektowanie elementów sekwencyjnych wykorzystując struktury SPLD.* | | | |
|
| *Data wykonania:*  *10.06.2008 r.* | *Ocena:* | | *Podpis:* |

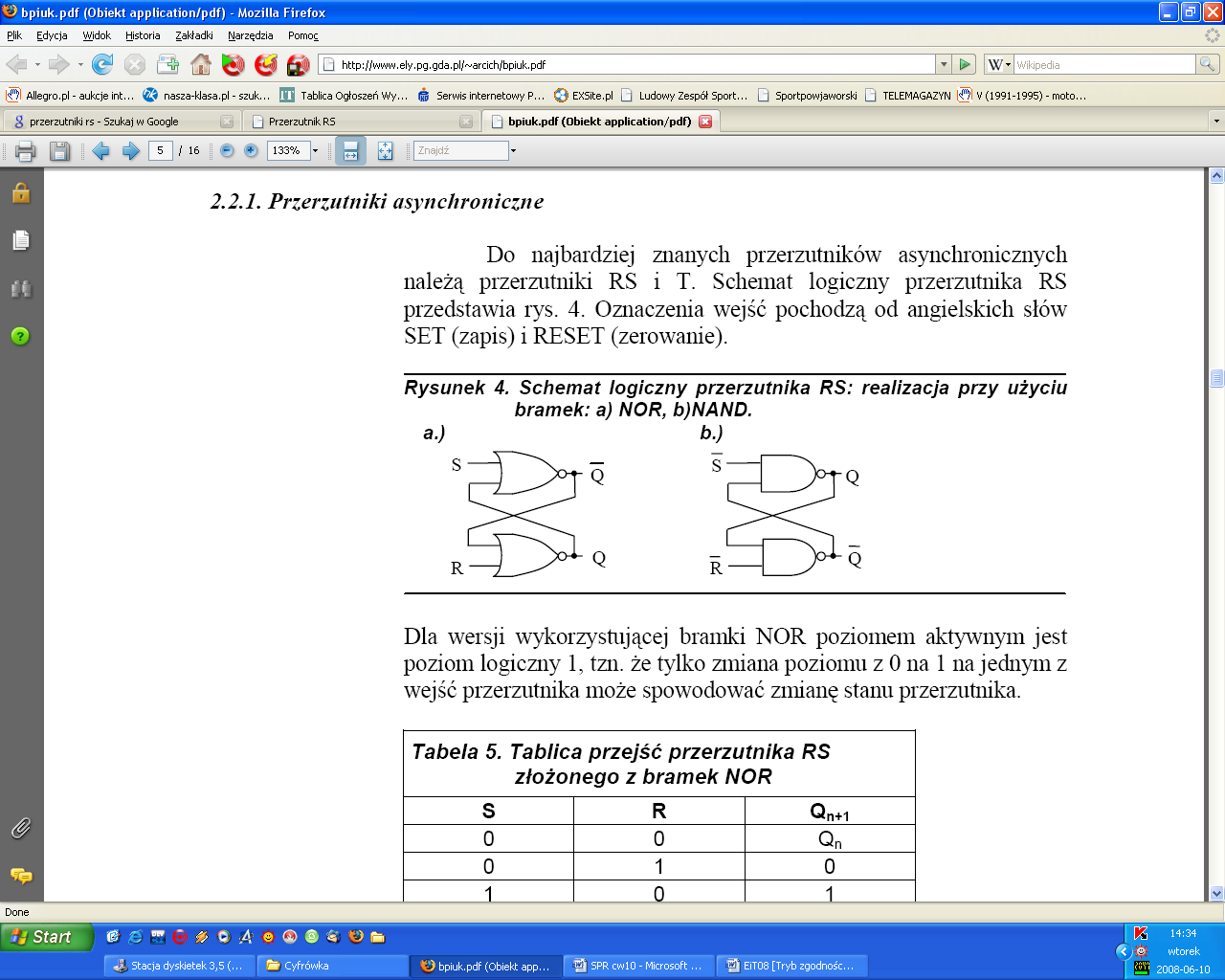
1. **Cel ćwiczenia**

Celem ćwiczenia jest wykorzystanie języka CUPL do programowania pojedynczych sekwencyjnych elementów logicznych w strukturach SPLD: GAL 16V8 i GAL 22V10.

Synteza i symulacja funkcjonalna elementów sekwencyjnych opisanych równaniami logicznymi w języku CUPL.

1. **Zadanie**

Dokonać implementacji przerzutnika RS (zbudowanego na bramkach NOR)



|  |  |  |
| --- | --- | --- |
| S | R | Qn+1 |
| 0 | 0 | Qn |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | s.z. |



s.z. – stan zabroniony



1. **Tabela prawdy**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S | R | Qn | Qn+1 | Qn+1 |  |
| 0 | 0 | 0 | 0 | 1 | stan Qn |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | „0” logiczne |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | „1” logiczna |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | stan zabroniony |
| 1 | 1 | 1 | 0 | 0 |

W przerzutniku RS zbudowanym z bramek NOR poziomem aktywnym jest poziom logiczny 1, tzn. że tylko zmiana poziomu z 0 na 1 na jednym z wejść przerzutnika może spowodować zmianą stanu przerzutnika.

1. **Plik RS.PLD**

Name RS ;

PartNo 00 ;

Date 2008-06-10 ;

Revision 01 ;

Designer 0803 ;

Company KK IT ;

Assembly None ;

Location ;

Device g16v8 ;

/\* \*\*\*\*\*\*\*\*\*\*\*\*\*\*\* INPUT PINS \*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*/

PIN 2 = s ;

PIN 3 = r ;

/\* \*\*\*\*\*\*\*\*\*\*\*\*\*\*\* OUTPUT PINS \*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*/

PIN 18 = qst ;

PIN 17 = qsc ;

qst = (s & !r) # (qst & !r);

qsc = (!s & r) # (qsc & !s);

1. **Plik RS.DOC**

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

RS

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

CUPL(WM) 5.0a Serial# 60008009

Device g16v8ma Library DLIB-h-40-8

Created Tue Jun 10 15:39:13 2008

Name RS

Partno 00

Revision 01

Date 2008-06-10

Designer 0803

Company KK IT

Assembly None

Location

===============================================================================

Expanded Product Terms

===============================================================================

qsc =>

r & !s

# qsc & !s

qst =>

!r & s

# qst & !r

qsc.oe =>

1

qst.oe =>

1

===============================================================================

Symbol Table

===============================================================================

Pin Variable Pterms Max Min

Pol Name Ext Pin Type Used Pterms Level

--- -------- --- --- ---- ------ ------ -----

qsc 17 V 2 7 1

qst 18 V 2 7 1

r 3 V - - -

s 2 V - - -

qsc oe 17 D 1 1 0

qst oe 18 D 1 1 0

LEGEND D : default variable F : field G : group

I : intermediate variable N : node M : extended node

U : undefined V : variable X : extended variable

T : function

===============================================================================

Fuse Plot

===============================================================================

Syn 02192 - Ac0 02193 -

Pin #19 02048 Pol x 02120 Ac1 -

00000 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00032 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00064 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00096 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00128 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00160 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00192 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00224 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #18 02049 Pol - 02121 Ac1 -

00256 --------------------------------

00288 x----x--------------------------

00320 -----xx-------------------------

00352 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00384 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00416 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00448 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00480 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #17 02050 Pol - 02122 Ac1 -

00512 --------------------------------

00544 -x--x---------------------------

00576 -x--------x---------------------

00608 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00640 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00672 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00704 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00736 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #16 02051 Pol x 02123 Ac1 -

00768 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00800 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00832 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00864 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00896 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00928 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00960 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

00992 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #15 02052 Pol x 02124 Ac1 -

01024 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01056 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01088 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01120 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01152 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01184 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01216 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01248 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #14 02053 Pol x 02125 Ac1 -

01280 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01312 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01344 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01376 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01408 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01440 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01472 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01504 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #13 02054 Pol x 02126 Ac1 -

01536 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01568 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01600 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01632 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01664 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01696 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01728 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01760 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

Pin #12 02055 Pol x 02127 Ac1 -

01792 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01824 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01856 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01888 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01920 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01952 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

01984 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

02016 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

LEGEND X : fuse not blown

- : fuse blown

==============================================================================

Chip Diagram

===============================================================================

\_\_\_\_\_\_\_\_\_\_\_\_\_\_

| RS |

x---|1 20|---x Vcc

s x---|2 19|---x

r x---|3 18|---x qst

x---|4 17|---x qsc

x---|5 16|---x

x---|6 15|---x

x---|7 14|---x

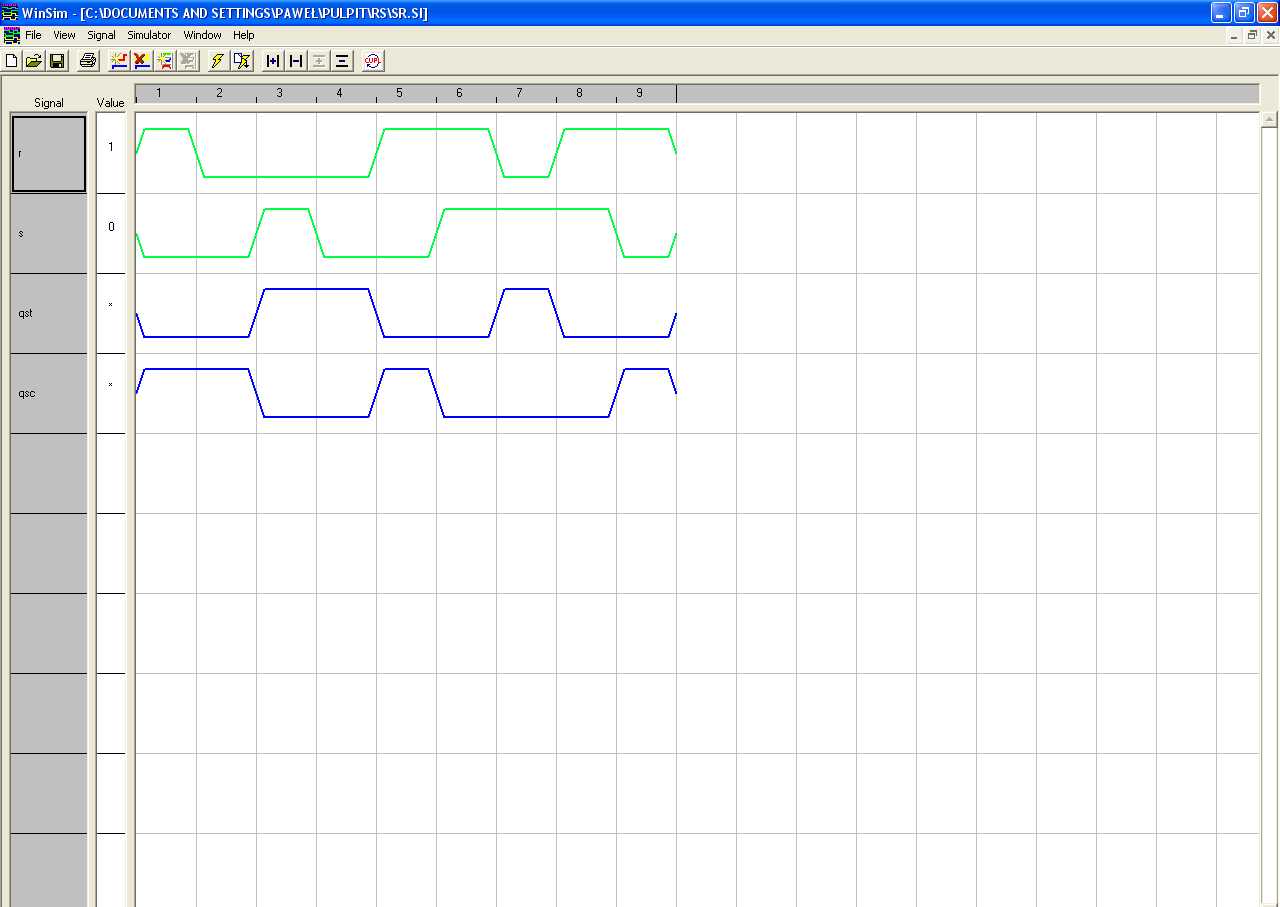
x---|8 13|---x

x---|9 12|---x

GND x---|10 11|---x

|\_\_\_\_\_\_\_\_\_\_\_\_\_\_|

1. **Przebiegi czasowe**



1. **Wnioski**

W czasie zajęć laboratoryjnych zaprojektowaliśmy na układzie GAL16V8 przerzutnik RS zbudowany z bramek NOR.W przerzutniku tym wejścia R i S są aktywne przy stanie logicznym 1. Stanem neutralnym jest dla nich stan 0. Jeśli wejście S przejdzie w stan 1, to wymusi ono stan 1 na wyjściu Q. Podobnie stan 1 na wejściu R wymusza stan 0 na wyjściu Q. Stanem zabronionym jest stan 1 na obu wejściach R i S przerzutnika. W takim przypadku oba wyjścia Q i Q przechodzą w stan 0. Jeśli teraz wejścia S i R przejdą jednocześnie w stan neutralny 0, to wynikowy stan wyjścia Q jest nieokreślony - może być równy 1 lub 0.

W sprawozdaniu zostały zamieszczone pliki .PLD, .DOC oraz przebiegi czasowe.